

Requested Patent: JP62092361A
Title: SHORT CHANNEL CMOS ON 110 CRYSTAL PLANE ;
Abstracted Patent: US4857986 ;
Publication Date: 1989-08-15 ;
Inventor(s): KINUGAWA MASAAKI (JP) ;
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP) ;
Application Number: US19860884962 19860714 ;
Priority Number(s): JP19850232253 19851017 ;
IPC Classification: H01L27/02; H01L29/04 ;
Equivalents: ;
ABSTRACT:
A monocrystalline silicon substrate having a (110) crystal plane is prepared. A CMOS transistor is formed on this substrate. An N channel MOS transistor and a P channel MOS transistor are formed in the surface of the semiconductor substrate. In each of these transistors the channel length is 1.5 μ m or less and the velocity saturation phenomenon of electrons is outstanding.

⑩公開特許公報(A) 昭62-92361

⑪Int.Cl.
H 01 L 27/08識別記号
102府内整理番号
6655-5F

⑫公開 昭和62年(1987)4月27日

審査請求 未請求 発明の数 1 (全4頁)

⑬発明の名称 相補型半導体装置

⑭特 願 昭60-232253

⑮出 願 昭60(1985)10月17日

⑯発明者 衣川 正明 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰出願人 株式会社東芝 川崎市幸区堀川町72番地

⑱代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

相補型半導体装置

2. 特許請求の範囲

(1) 結晶方位が(100)以外の表面を有する単結晶シリコン基板と、この基板表面に設けられた実効チャネル長が1.0μm以下のNチャネル型MOSトランジスタと、前記基板表面に設けられたPチャネル型MOSトランジスタとを具備することを特徴とする相補型半導体装置。

(2) 単結晶シリコン基板の表面の結晶方位が(110)であることを特徴とする特許請求の範囲第1項記載の相補型半導体装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は相補型半導体装置に関し、特にC(相補型)MOSトランジスタに係わる。

(発明の技術的背景とその歴歴)

周知の如く、従来のMOSトランジスタでは逆偏圧現象が起り、偏圧化しても劈電率

シグ内から期待される程度の高性質が期待できない。従って、同じプロセスを用いても多くの電流が得られる方法が非常に望まれている。一方、今までNMOSプロセスからの伝統でCMOSプロセスも(100)面方位をもったシリコン基板表面をもとに構築されていた。この理由としては、シリコン基板-シリコン酸化膜との界面単位が少ないこと、及び電子の移動度が高く多くの電流を得ることができることが挙げられる。

しかしながら、従来技術によれば、以下に示す四題点を有する。

① NMOSトランジスタでは、実効チャネル長が1.0μm以下になると、第2回に示す如く、速度階級現象が著しくなり、この速さ速度の面方位依存性が小さいことから、電流密度の面方位による差がなくなる。なお、第2回において、横軸は単位実効チャネル相当たりの五極間電界比($I_{dd} / W_{eff} ratio$ 、但し(100)=1)、横軸は実効チャネル長である。

②一方、PMOSトランジスタでは、ホールの

速度倍率が比較的起りにくい。従って、実効チャンネル長が 1.0μ 以下になつても、第3図に示すなくホールの移動度の差による電流倍率の面方位依存性が存在し、有効質量の差で説明されるように (100) 面での電流密度が一番小さい。

(発明の目的)

本発明は上記事項に盛みてなされたもので、従来と比べ多くの電流量が得られる粗結型半導体装置を提供することを目的とする。

(発明の概要)

本発明者は、第2図及び第3図の特性図にもとづいて、以下の点を究明した。

④NMOSトランジスタの実効チャネル長が1.0μm以下になった場合、CMOSトランジスタは(100)面以外の面上に形成した方がNMOSトランジスタの電流密度は(100)面並んで高く、PMOSトランジスタは(100)面よりもはるかに高い電流密度が得られるため、全体としての電流密度が著しく増加する。

②從来、(100)画を用いたもう1つの大き

- 3 -

(犯人の実績)

以下、本発明の一実施例に係るCMOSトランジスタを製造工程順に第1図(a)～(c)を参照して説明する。

(1) まず、(110)を表面として持つ比抵抗 $2 \times 10^{-4} \Omega \cdot \text{cm}$ のN型のシリコン基板1にピーク濃度 $2 \times 10^{14} \text{ atoms/cm}^2$ で接合深さ $3 \mu\text{m}$ のPウェル2を形成した。つづいて、選択酸化法により、前記基板1の表面にフィルム状酸化膜3を所定の方法により形成した(第1図(8)回示)。

(2) 次に、前記基板 1 及び P ウェル 2 の表面に厚さ 200 Å のゲート絶縁膜 4 を形成した。つづいて、リソグラフィー技術により N チャンネル領域をレジスト (露出せず) で描い、P チャンネル領域にパンチスルーアルマイトのためのイオン注入部を形成した。この後、アーチ放電でゲート絶縁膜 4 を加熱電圧 28.0 Kev、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ の条件下でイオン注入し、更にしきい値融合のためのイオン注入部をボロシリケート膜に加熱電圧 3.5 Kev、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ の条件下でイオン注入した。次いで、レジスト

- 5 -

的な利点である界面単位の少ないということは、現在の進んだ酸化技術による界面単位の数そのものの低下と、酸化化が進んでゲート電界 (C_{ox}) が増大することによって界面単位 N_{SS} のしきい値に与える影響 ($\Delta V_{I1} = Q_{N_{SS}}/C_{ox}$) が小さくなかったことを考えられると、次第に利点としての価値がなくなりつつある。

以上より、本発明者は、従来通り(100)面を使ってNMOSトランジスタの実効チャネル長が1.0μm以下のCMSトランジスタを形成すると、電流値が多くとれむしろ(100)面以外特に(110)面を用いた方が良いことを究明し

即ち、本発明は、粘晶方位が(100)以外の表面を有する單結晶シリコン基板と、この基板表面に設けられたチャネル長が1.0μm以下のNチャネル型のMOSトランジスタと、前記基板表面に設けられたPチャネル型のMOSトランジスタとを具備し、寄電量の向上を図ったことを骨子とする。

- 4 -

を除去し、リソグラフィー技術によりPチャネル領域をレジストで覆い、Nチャネル領域にパンチホール-防止のためのイオン注入部ちボロンイオンを加速電圧80KeV、ドーズ量 6×10^{13} cm^{-2} の条件でイオン注入し、ひきつづきしきい融合のためのイオン注入部ちボロンを加速電圧35KeV、ドーズ量 1×10^{13} cm^{-2} の条件でイオン注入した。更に、レジストを除去し、全面に厚さ4000Åの多結晶シリコン層を（図示せず）CVD法により堆積した。この後、この多結晶シリコン層に900°Cで30分間POCl₃中でリンを拡散し、バーニングして多結晶シリコンからなるゲート電極5を形成した。ひきつづき、Nチャネル領域をレジストで覆い、セルフアラインでPチャネル領域にBF₂イオンを加速電圧50KeV、ドーズ量 5×10^{13} cm^{-2} の条件でイオン注入した。更に、レジストを除去した後、Pチャネル領域をレジストで覆い、Nチャネル領域にAs⁺イオンを加速電圧50KeV、ドーズ量 5×10^{13} cm^{-2} の条件でイオン注入した。

- 6 -

この後、レジストを除去し、900°C、N₂で30分間アニールし、活性化してPウェル2にN⁺型のソース・ドレイン領域6、7を形成するとともに、基板1にP⁺型のソース・ドレイン領域8、9を形成した(第1図(b)図示)。

(3) 次に、全面にCVD法により高純度銀膜としての厚さ5000ÅのSiO₂膜10を堆積した。つづいて、前記ソース・ドレイン領域6～9上のSiO₂膜10を選択的に開口し、コンタクトホール11…を形成した。次いで、全面に厚さ8000ÅのAl膜(図示せず)をスパッタ法により堆積した後、バーニングしてAl配線12…を形成した。更に、バッシベーション膜としての厚さ12000ÅのPSG膜13をCVD法により堆積しCMOSトランジスタを製造した(第1図(c)図示)。

本発明に係るCMOSトランジスタは、第1図(c)に示す如く、結晶方位(110)を表面としてもつN型の単結晶シリコン基板1にPウェル2を設け、このPウェル2表面にN⁺型のソース

- 7 -

・ドレイン領域6、7及びゲート電極5等からなるNチャネル型MOSトランジスタを設け、更に前記基板1表面にP⁺型のソース・ドレイン領域8、9及びゲート電極5等からなるPチャネルMOSトランジスタを設けた構造となっている。従って、本発明によれば、連接端子によってNチャネルMOSトランジスタの電流出を(100)面と同等にし、かつ著しい速度効率の生じないPチャネルMOSトランジスタの電流出を(100)面以上にして全体としての電流出を従来よりも多くできる。

なお、上記実施例では、シリコン基板の表面の結晶方位が(110)である場合について述べたが、これに限定されるものではない。例えば、(211)、(322)等でもよい。

(発明の効果)

以上詳述した如く本発明によれば、従来と比べ多くの電流出を得られる徴的な構造型半導体装置を提供できる。

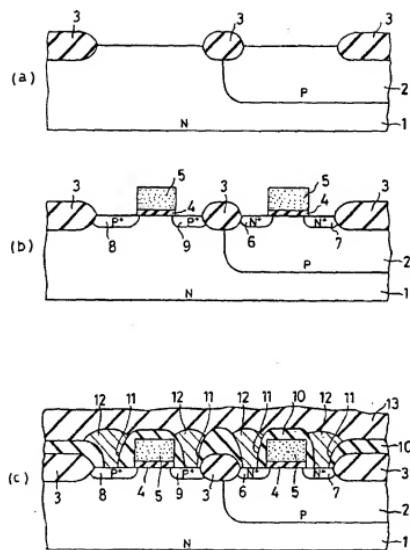
4. 図面の簡単な説明

- 8 -

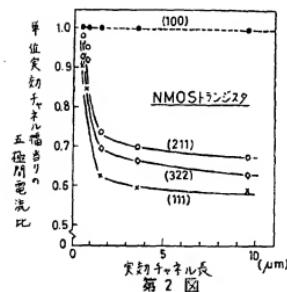
第1図(a)～(c)は本発明の一実施例に係るCMOSトランジスタを製造工程順に示す断面図、第2図は従来のNMOSトランジスタにおける単位実効チャネル幅当たりの五種電流比と実効チャネル比との関係を示す特性図、第3図は従来のPMOSトランジスタにおける単位実効チャネル幅当たりの五種電流比と実効チャネル比との関係を示す特性図である。

1…N型の単結晶シリコン基板、2…Pウェル、3…フィールド酸化膜、4…ゲート酸化膜、5…ゲート電極、6、8…ソース領域、7、9…ドレイン領域、10…SiO₂膜(銀膜絶縁膜)、11…コンタクトホール、12…Al配線、13…PSG膜(バッシベーション膜)。

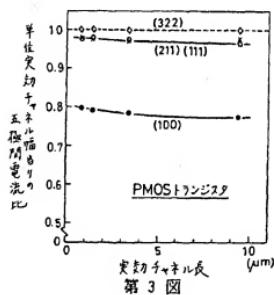
出願人代理人 幸理士 鈴江武彦



第1図



第2図



第3図